

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR SUBSTRATE

Patent Number: JP61141116

Publication date: 1986-06-28

Inventor(s): OSHIMA HIROYUKI; others: 03

Applicant(s): SEIKO EPSON CORP

Requested Patent: JP61141116

Application Number: JP19840263364 19841213

Priority Number(s):

IPC Classification: H01L21/20; H01L21/205; H01L29/80; H01S3/18

EC Classification:

Equivalents:

Abstract

PURPOSE: To contrive the improvement in crystallizability of a Ge thin film by alleviating the mismatching of the lattice by changing a composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$, which is arranged between an Si substrate and a Ge thin film as a buffer layer, from $x=0$ to $x=1$ continuously and monotonously from the Si substrate side toward the Ge thin film.

CONSTITUTION: On an Si substrate 101, an $\text{Si}_{1+x}\text{Ge}_x$ thin film 102 which is to be a buffer layer is formed and a Ge thin film 103 and a GaAs thin film 104 are formed on that. A composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$ thin film is $x=0$, i.e., the composition of Si in the position where it contacts with the underlying Si substrate 101, and $x=1$, i.e., the composition of Ge in the position where it contacts with the Ge thin film 103 above. Between them, a value of x changes continuously and monotonously from 0 to 1 and the mismatching between Si and Ge is alleviated. The $\text{Si}_{1-x}\text{Ge}_x$ thin film can be formed by a reduced CVD method using monosilane gas and german gas. As the composition ratio x is controlled by a flow ratio of the gas, it can be changed as it is desired by changing a gas flow ratio continuously and monotonously.

Data supplied from the esp@cenet database - I2

3

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

② 公開特許公報 (A)

昭61-141116

⑤ Int. Cl. 4

H 01 L 21/20
21/205
29/80
H 01 S 3/18

識別記号

厅内整理番号

④ 公開 昭和61年(1986)6月28日

④発明の名称 半導体基板

②特 昭59-263364

昭59(1984)12月13日

◎ 異明若

文志明之株式会社イエブソンエーコーサイ
吉博英弘 岩大・恒小・川松野島

諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
東京都新宿区西新宿2丁目4番1号

◎代理人：弁理士 最上 慶

男 漢 客

1. 発明の名称

半導体基板

2. 特許請求の範囲

(1) Si 単結晶基板上に $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を有し、該 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜上に Ge 薄膜を有し、該 Ge 薄膜上に $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を有することを特徴とする半導体基板。

(2) 前記 86-1-60 の薄膜の組成比を、膜厚方向に對して、 $\chi = 0$ から $\chi = 1$ まで連続的かつ單調に変化させたことを特徴とする特許請求の範囲第1項記載の半導体基板。

五 発明の詳細な説明

(農業上の利用分野)

本発明は、化合物半導体デバイス用の半導体基板に関するものである。

〔 症者の技術 〕

近年、GaAs を始めとする化合物半導体材料を

用いたデバイスの研究が活発に行なわれている。これには、高純度で欠陥密度の小さい单結晶半導体が不可欠である。

従来、化合物半導体の単結晶基板としては、 GaAs と InP が用いられているが、基板サイズが小さい上に高価であるという難点を抱えているため、Si 単結晶基板上に GaAs の単結晶薄膜をエピタキシャル成長させ、これを化合物半導体デバイス用の単結晶基板として用いようとする試みが行なわれている（例えば、Extended Abstracts of the 16th (1984 International) Conference on Solid State Devices and Materials, p. 115, 1984）。

第2図は、この従来の半導体基板の構成を示す断面図である。Si単結晶基板201上に0.5薄膜202が形成され、さらに該0.5薄膜上に0.1薄膜203が形成されている。

(各國が解決しようとする問題点)

しかし、このように構成された従来の半導体基板は次のような欠点を有している。すなわち、下の表 1 に示すように、 0eV と 0.4eV の格子定数及び

結晶強度は非常に良く一致し、極めて良好な結晶成長が可であるが、BiとOは格子定数が約4%、結晶強度が約1.8倍、それそれ異なるため、Bi上のGe障壁のエピタキシャル成長は極めて困難である。このため、Bi上のGe中には多くの転位が存在し、界面単位密度も高い。これらは

| | Si | Ge | GeAs |
|---------------------------------------|------|-------|-------|
| 格子常数 (Å) | 5.43 | 5.657 | 5.655 |
| 热膨胀系数 ($\times 10^{-3}/\text{deg}$) | 3.7 | 4.7 | 4.7 |

1

上に形成される GaAs 薄膜の結晶性にも悪影響を与える。欠陥密度の低い方図な GaAs 薄膜を実現することが困難であった。

本発明はこのような従来の問題点を解決するものであり、その目的とするところは Bi 基礎上に結晶性の良好な $\alpha\alpha$ 帯板を有する半導体基板を提供するところにある。

(問題を解決するための手段)

高麗族を承認する。高麗族の本姓と姓氏と籍記の両項の間に、

る。また $\text{Si} = 0$ の薄膜の組成比 χ は、下の表
基板 101 と接する位置では $\chi = 0$ 、十分わち Si
の組成となっており、上の O_2 薄膜 103 と接する位
置では $\chi = 1$ 、十分わち O_2 の組成となっている。
その間では、 χ の値は 0 から 1 まで連続的かつ單
調に変化し、 Si と O_2 間の不整合を緩和している。
上述の $\text{Si} = 0$ の薄膜は、例えばセノシラン(SiH_4)
ガスとグルマン(O_2H_2)ガスを用いて減圧 CVD(化
学気相成長)法により形成することができる。組
成比 χ はそれぞれのガスの流量比により制御され
ガス流量比を連続的かつ單調に変化させることに
より組成比 χ を所望通りに與えることができる。

第5図は、本発明による半導体基板にかけた格子定数の深さ分布を模式的に示すグラフである。横軸は格子定数であり、横軸は探査方向の位置を表わしている。点AはSi₃N₄基板とSi_{1-x}O_xエミッションとの界面を、点BはSi_{1-x}O_xエミッションとSi₃N₄との界面を、点Cは、エミッションとO₂A₂O₃薄膜との界面をそれぞれ示している。図より明らかかなようK、Si₃N₄基板の格子定数と、薄膜の格子定数の差を。“

Bi_{1-x} O_2 薄膜をバッファ層として設けたことを特徴とする。また、該 $\text{Bi}_{1-x}\text{O}_2$ 薄膜の組成比 x を Si 基板側から O_2 薄膜に向けて、 $x = 0$ から $x = 1$ まで連続かつ平滑に変化させたことを特徴とする。

(作用)

本発明の上記の構成によれば、格子不整合の大半い Si 薄板と $\alpha\beta$ 薄膜の間に、両者の中间的な性質を有する $\text{Si}_{1-x}\text{O}_x$ 薄膜を設けるため。格子不整合が緩和される。また、組成比 x を逐塊的に変化させることにより、時々の組成から $\alpha\beta$ の組成に至るまで $\text{Si}_{1-x}\text{O}_x$ 薄膜の組成がなめらかに変化し、より一層、格子不整合を緩和することができる。このため、Si 上に形成された $\alpha\beta$ 薄膜の結晶性を著しく改善することができる。

(異加例)

第1図は、本発明の実施例における半導体素子の断面図である。Si基板101上に、バッファ層となるSi_xN_yと薄膜102が形成されており、その上にGe薄膜103とGeAs薄膜104が形成されてい

フッ層の $\text{Bi}_{1-x} \text{O}_x$ エ薄膜が微々に緩和している。従来は、バッファ層となる $\text{Bi}_{1-x} \text{O}_x$ エ薄膜が存在しなかつたために、点 A と点 B が一致してかり、格子定数が不連続に変化し、 O_x 薄膜と $\text{O}_{x+0.48}$ 薄膜の結晶性に悪影響を及ぼしていた。

(発明の効果)

本発明は以下に述べるような効果を有している。
 第1に、Si基板上に結晶性の優れたOOGaAs薄膜を形成することができる。これは、前述の如く、ペーファ用としてSi上OOGaAs薄膜を設けたことによる。これによりSi基板上のGaAs薄膜の結晶性が改善され、この結果、欠陥密度の小さい良好なOOGaAs薄膜を形成することができる。

第2に、上記に併せて、Si基板上にGAAを用いた化合物半導体デバイスを形成することができる。このようなデバイスとしては、半導体レーザなどの発光デバイスや、トランジスタなどの高速デバイスが挙げられる。発光デバイスでは、GAA中の結晶欠陥は非発光再結合中心となるため効率の低減（出力の減少）やしきい値電流の増大

などの悪影響を及ぼす。高速デバイスでは、GaAs薄層中の結晶欠陥はキャリアの発源となるため移動度の減少（動作速度の低下）などの悪影響を及ぼす。本発明によれば、結晶欠陥の少ないGaAs薄膜を実現できるため、Si基板上に高性能な化合物半導体デバイスを実現することができる。

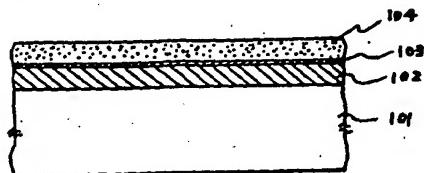
第3回、安価で大面积の半導体基板を提供することができる。Si基板は、大量の需要を背景として、直径5インチという大面积基板が採めて安価に供給されている。しかも公害や資源枯渇の心配がない。このように思われたSi基板上にGaAs薄膜が形成でき、化合物半導体デバイスを実現できることは初めて大きな長所である。

以上述べたように、本発明は数多くの優れた効果を有するものである。

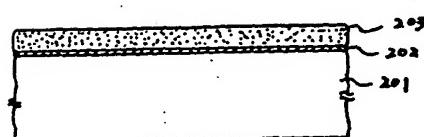
4. 図面の簡単な説明

第1回は本発明による半導体基板の構造を示す断面図である。

第2回は従来の半導体基板の構造を示す断面図



第1回



第2回

である。

第3回は本発明の半導体基板における格子定数の深さ方向変化を示すグラフである。

101, 201 …… Si 単結晶基板

102 …… Si_{1-x}Ge_x 薄膜

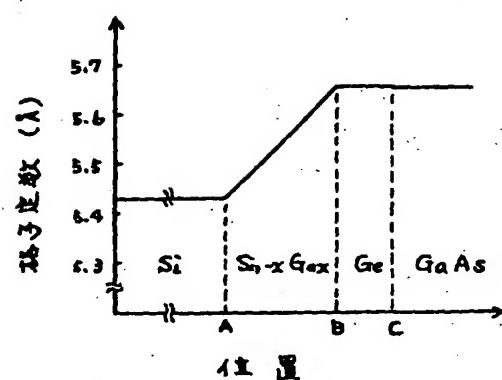
103, 202 …… Ge 薄膜

104, 203 …… GaAs 薄膜

以上

出願人 株式会社 防衛精工會

代理人弁理士 畠上



第3回